

PAT-NO: JP401278109A

DOCUMENT-IDENTIFIER: JP 01278109 A

TITLE: AUTOMATIC OUTPUT LEVEL CONTROL SYSTEM

PUBN-DATE: November 8, 1989

INVENTOR-INFORMATION:

NAME

YAMAGUCHI, SEIICHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP63107942

APPL-DATE: April 30, 1988

INT-CL (IPC): H03G003/20, G05F001/66

US-CL-CURRENT: 330/98

ABSTRACT:

PURPOSE: To improve convergence properties for control by approximating the control voltage-output power characteristics of a power amplifier with a straight line to define the characteristics to be stored in a **P-V table**.

CONSTITUTION: A CPU 12 reads the control voltage shown in the digital value out of a **P-V table** 19 in accordance with the digital value showing the output power set via a serial port 17 and applies said control voltage to a power amplifier 11 via a I/O register 18 and a D/A converter 14. Thus the amplifier 11 amplifies the main signal and produces the output. Then the characteristics defined by approximating the outside of a control range of the actual control voltage-output power characteristics with a straight line obtained by extending the characteristics inside the control range is set to the table 19. As a result, the control convergence properties are constant even in case the output voltage of the amplifier 11 is kept at a point near the saturated part of the control voltage-output power characteristics close to the upper limit value of the control range. Thus it is possible to improve the control accuracy and to shorten the converging time.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A) 平1-278109

⑤ Int. Cl.

H 03 G 3/20  
G 05 F 1/66

識別記号

庁内整理番号

A-7210-5J  
Z-7319-5H

④③ 公開 平成1年(1989)11月8日

審査請求 未請求 請求項の数 1 (全5頁)

⑤④ 発明の名称 自動出力レベル制御方式

②① 特 願 昭63-107942

②② 出 願 昭63(1988)4月30日

⑦② 発 明 者 山 口 清 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑦① 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦④ 代 理 人 弁理士 玉蟲 久五郎 外1名

## 明 細 書

## 御方式。

## 1. 発明の名称

自動出力レベル制御方式

## 2. 特許請求の範囲

パワーアンプの制御電圧-出力電力特性を格納したP-Vテーブル(19)と、

パワーアンプの出力電力-出力検出電圧の特性を格納したV-Pテーブル(20)と、

を備え、外部から設定された出力電力に対応して前記P-Vテーブル(19)から読み出した制御電圧をパワーアンプに与えたときの出力検出電圧に対応して前記V-Pテーブル(20)から読み出した出力電力を設定値と比較して前記制御電圧を修正することによつて出力電力を設定値に収束させるパワーアンプの自動出力レベル制御方式において、

前記P-Vテーブル(19)に格納する特性をパワーアンプの制御電圧-出力電力特性を直線で近似したものとするを特徴とする自動出力レベル制

## 3. 発明の詳細な説明

## 〔 概 要 〕

パワーアンプの出力レベルを自動的に制御する場合等に用いられる自動出力レベル制御方式に係り、

出力における設定値と検出値の誤差と同等の誤差が制御電圧において得られるようにすることによつて、制御の収束性を改善することを目的とし、

パワーアンプの制御電圧-出力電力特性を格納したP-Vテーブルと、パワーアンプの出力電力-出力検出電圧の特性を格納したV-Pテーブルとを備え、外部から設定された出力電力に対応して前記P-Vテーブルから読み出した制御電圧をパワーアンプに与えたときの出力検出電圧に対応して前記V-Pテーブルから読み出した出力電力を設定値と比較して前記制御電圧を修正することによつて出力電力を設定値に収束させるパワーアンプの自動出力レベル制御方式において、前記P-Vテーブルに格納する特性をパワーアンプの制御電圧-

出力電力特性を直線で近似したものとするこゝによつて構成する。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明はパワーアンプの出力レベルを自動的に制御する場合等に用いられる自動出力レベル制御方式に係り、特に設定値に収束する速度をはやくすることができる自動出力レベル制御方式に関するものである。

例えばパワーアンプを使用する装置において、パワーアンプの出力電力は周囲温度等の外的条件の変動に伴つて容易に変化するゝので、出力電力を一定に保つため自動出力レベル制御方式(ALC)が用いられる。

このような自動出力レベル制御方式においては、制御の収束時間が短く制御精度が良いことが必要である。

は読み取られた電力値(検出値)と設定された電力値(目標値)を比較し、その差分に応じてパワーアンプ11に与える制御電圧値を修正する。このような制御が繰り返して行われることによつて、パワーアンプ11の出力電力は目標値に収束する。

この場合ROMテーブル13には、パワーアンプ11に対する制御電圧発生用として実際の制御電圧—出力電力特性曲線の値と、パワーアンプ11の出力電力読み取り用として出力電力—出力検出電圧特性曲線の値とが格納されている。

第4図はパワーアンプの制御電圧—出力電力特性曲線の一例を示したものであつて、制御範囲内においては制御電圧—出力電力特性はほぼ直線的であるが、制御範囲外(上限)においては飽和特性となることが示されている。

#### 〔発明が解決しようとする課題〕

従来の自動出力レベル制御方式において用いられている制御電圧—出力電力特性曲線は、第4図に示されるように飽和特性を持つものである。そ

#### 〔従来の技術〕

第3図は従来の自動出力レベル制御方式を示したものであつて、中央処理装置(CPU)と制御電圧—出力電力変換用ROMテーブルとを用いて構成した場合を例示している。

第3図においてパワーアンプ11の出力電力を設定する際には、外部からデジタル値からなる出力電力設定信号をCPU12に対して与える。CPU12は設定された出力電力値をROMテーブル13を用いてデジタル値からなる制御電圧に変換する。デジタルアナログ(D/A)変換器14はこの値をアナログ値に変換してパワーアンプ11に対して制御電圧として与える。パワーアンプ11はこの制御電圧に応じて主信号を増幅して出力電力を発生する。検波器15はパワーアンプ11の出力を検波して、出力電力に応じたアナログ電圧出力を発生する。アナログデジタル(A/D)変換器16はこの値をデジタル値に変換してCPU12に与える。CPU12はROMテーブル13に別に格納されているテーブルを用いて出力検出電圧から出力電力値を読み取る。CPU12

のため出力電力が制御範囲外(飽和領域)にある場合は、設定値と出力値(検出値)の誤差以上に制御電圧の誤差が大きくなるため設定値への収束性が悪いという問題があつた。

第5図は従来の方式における制御電圧の誤差を説明したものであつて、ある出力電力設定値に対するパワーアンプの出力値が図示の値であつたとすると、パワーアンプの出力電力—出力検出電圧特性曲線Bから読み取られた出力検出電圧の誤差は $\Delta V_1$ である。一方、このときの出力値に対応する制御電圧の誤差 $\Delta V_2$ は制御電圧—出力電力特性Aから読み取られるが、特性Aは飽和特性を示すため誤差 $\Delta V_2$ は出力検出電圧の誤差 $\Delta V_1$ から予想されるものより大きくなる。

本発明はこのような従来技術の課題を解決しようとするものであつて、制御電圧—出力電力特性として制御範囲内の直線を制御範囲外まで延長したものをROMテーブルに設定して、出力における設定値と検出値の誤差と同等の誤差が制御電圧において得られるようにすることによつて、制御の

収束性を改善することを目的としている。

#### 〔課題を解決するための手段〕

本発明の自動出力レベル制御方式は、第1図の実施例に示されるように、パワアンプの制御電圧－出力電力特性を格納したP－Vテーブル19と、パワアンプの出力電力－出力検出電圧の特性を格納したV－Pテーブル20とを備え、外部から設定された出力電力に対応してP－Vテーブル19から読み出した制御電圧をパワアンプに与え、このときの出力検出電圧に対応してV－Pテーブル20から読み出した出力電力を設定値と比較して誤差に応じてパワアンプに与える制御電圧を修正するように制御することによって出力電力を設定値に収束させるパワアンプの自動出力レベル制御方式において、P－Vテーブル19に格納する特性としてパワアンプの制御電圧－出力電力特性を直線で近似したものを用いるようにしたものである。

－出力電力特性を直線で近似したものとしたので、出力における設定値と検出値の誤差と同等の誤差が制御電圧において得られるようになり、制御の収束性が改善される。

第6図は直線範囲を延長したROMテーブル曲線の例を示したものであつて、制御電圧－出力電力特性の実際の曲線は制御範囲外では飽和特性を示すが、ROMテーブル曲線はこの範囲においても直線になるように定められることが示されている。

このようにすることによって、出力検出値が制御範囲外にある場合でも制御電圧の誤差は小さくなる。従つて設定値に収束させることが容易になり、自動出力レベル制御における収束時間を短くすることができるようになる。

#### 〔実施例〕

第1図は本発明の自動出力レベル制御方式の一実施例を示したものであつて、第3図におけると同じ部分を同じ番号で示し、17は外部から制御信号を入力するためのシリアルポート、18はパワ

#### 〔作用〕

パワアンプの自動出力レベル制御方式においては、P－VテーブルとV－Pテーブルとを備えて外部から設定された出力電力に対応してP－Vテーブルから読み出した制御電圧をパワアンプに与え、このときのパワアンプの出力検出電圧に対応してV－Pテーブルから読み出した出力電力を設定値と比較して、誤差に応じて制御電圧を修正することによって出力電力を設定値に収束させる制御を行う。

従来はP－Vテーブルにはパワアンプの制御電圧－出力電力特性を格納し、V－Pテーブルにはパワアンプの出力電力－出力検出電圧の特性を格納したものをを用いているが、P－Vテーブルの制御電圧－出力電力特性は制御範囲外では飽和特性を示し、出力における設定値と検出値の誤差よりも制御電圧における誤差が大きくなり、そのため修正動作時における制御の収束が遅れる。

本発明の自動出力レベル制御方式では、P－Vテーブルに格納する特性をパワアンプの制御電圧

ンプ11側とCPU12側との間で信号の入出力を行うI/Oレジスタ、19はパワアンプ11の制御電圧－出力電力特性を格納したP－Vテーブル、20はパワアンプ11の出力電力－出力検出電圧特性を格納したV－Pテーブル、21はコンパレータである。

また第2図は第1図の実施例における動作を説明する図である。

第1図において、CPU12はシリアルポート17を経て外部から設定された出力電力を示すデジタル値に応じてデジタル値からなる制御電圧をP－Vテーブル19から読み出し、I/Oレジスタ18を介してD/A変換器14に与える。D/A変換器14はこの値をアナログ値に変換してパワアンプ11に制御電圧として与え、これによつてパワアンプ11は三角信号を増幅して出力を発生する。第2図において(a)は、このようにしてパワアンプ11に設定された出力電力の初期値を示したものである。

検波器15はパワアンプ11の出力を検出して、出力電力に応じたアナログ電圧からなる検出電圧を発生し、この値はA/D変換器16を経てデジタル

値に変換され、I/Oレジスタ18を経てCPU12に与えられる。CPU12はこの値を用いてV-Pテーブル20から出力電力読み取り値を得る。V-Pテーブル20は第5図に示された特性Bと同様に直線特性を有しており、これによつて(a')に示す出力電力読み取り値が得られたとする。

CPU12は出力電力読み取り値を出力電力設定値と比較し、誤差に応じて制御電圧を修正して出力電力値を再設定するが、この場合の再設定値(b)は出力電力設定値を(c)とした場合、 $(b) = (c) + ((c) - (a'))$ を計算することによつて定められる。

このような制御が繰り返し行われることによつて、パワアンプ11の出力電力は設定値(c)に収束する。

なお第1図においてコンパレータ21は、検波器15の出力を所定レベルと比較することによつて、パワアンプ11が出力を発生しているときのみパワアンプ11に対する出力レベルの制御を行うようにするために設けられている。

る場合でも制御の収束性は変わらず、従つて制御精度を向上し収束時間を短縮することができるようになる。

#### [ 発明の効果 ]

以上説明したように本発明によれば、パワアンプの出力レベルを自動的に制御する場合等において、制御電圧と出力値との関係を直線近似するようにしたので、特に出力値が制御範囲外にある場合に設定値に収束する速度をはやくすることができるとともに、制御精度を向上させることができる。

なお本発明の制御方式はパワアンプの出力レベルを自動的に制御する場合に限らず、フィードバック動作を行う制御系の場合、制御対象の種類に拘らず一般的に適用可能なものである。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、

第2図は第1図の実施例における動作を説明す

第1図に示された自動出力レベル制御方式は、出力電力設定値(c)と出力電力初期値(a)との差を次第に小さくするように制御を行うものであるが、実際には設定値(c)と出力電力読み取り値(a')の差によつて制御が行われる。読み取り値(a')と初期値(a)とは制御範囲の上限付近では一般に異なる値を有しているが、 $|(a') - (a)|$ に対応する制御電圧誤差 $\Delta V$ が小さいほど制御精度が良くなり収束性が向上する。

第2図においてAはP-Vテーブルとして実際の特性を設定した場合の、CはP-Vテーブルとして直線近似した特性を設定した場合の制御電圧-出力電力特性を示し、Cの場合の制御電圧誤差 $\Delta V_1$ はAの場合の制御電圧誤差 $\Delta V_2$ より小さい。

本発明方式においては、P-Vテーブル19に第6図において説明したような、実際の制御電圧-出力電力特性の制御範囲外を制御範囲内の特性を延長した直線によつて近似した特性を設定する。従つてパワアンプ11の出力電力が制御範囲の上限付近の制御電圧-出力電力特性の飽和部付近にあ

る図、

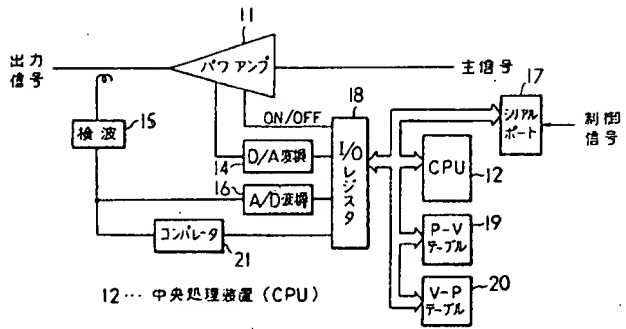
第3図は従来の自動出力レベル設定方式を示す図、

第4図はパワアンプの制御電圧-出力電力特性の一例を示す図、

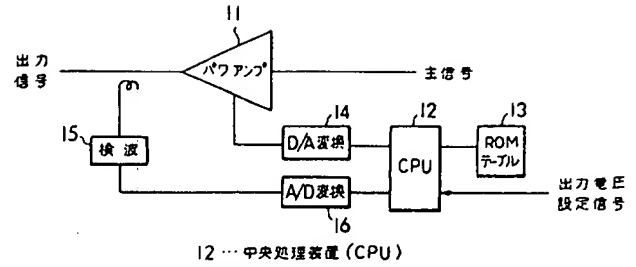
第5図は従来の方式における制御電圧の誤差を説明する図、

第6図は直線範囲を延長したROMテーブル曲線の例を示す図である。

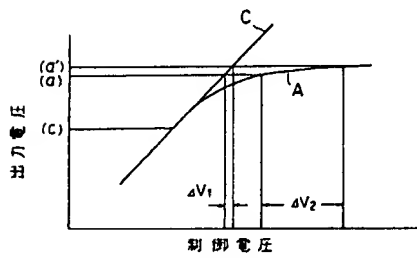
- 11 … パワアンプ
- 12 … 中央処理装置 (CPU)
- 14 … デジタルアナログ (D/A) 変換器
- 15 … 検波器
- 16 … アナログデジタル (A/D) 変換器
- 17 … シリアルポート
- 18 … I/O レジスタ
- 19 … P-V テーブル
- 20 … V-P テーブル
- 21 … コンパレータ



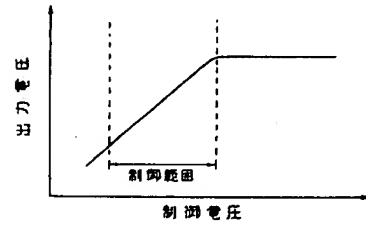
本発明の一実施例を示す図  
第 1 図



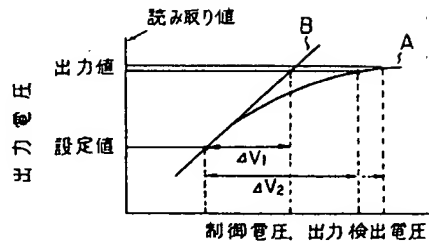
従来の自動出力レベル設定方式を示す図  
第 3 図



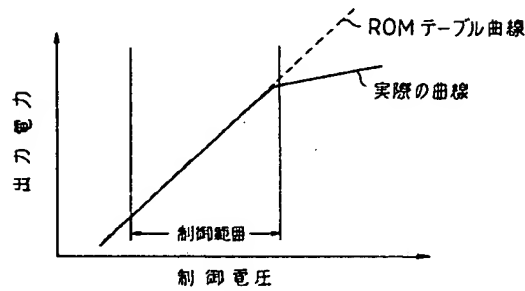
第 1 図の実施例の動作を説明する図  
第 2 図



パワアンプの制御電圧—出力電力特性曲線の一例を示す図  
第 4 図



従来の方式における制御電圧の誤差を説明する図  
第 5 図



直線範囲を延長した ROM テーブル 曲線の例を示す図  
第 6 図